**Архітектура обчислювальних систем та схемотехніка**

**Лабораторна робота №4**

Виконав:

Студент групи ПМО-11

Савка С. З

Прийняв:

Рикалюк Р. Є

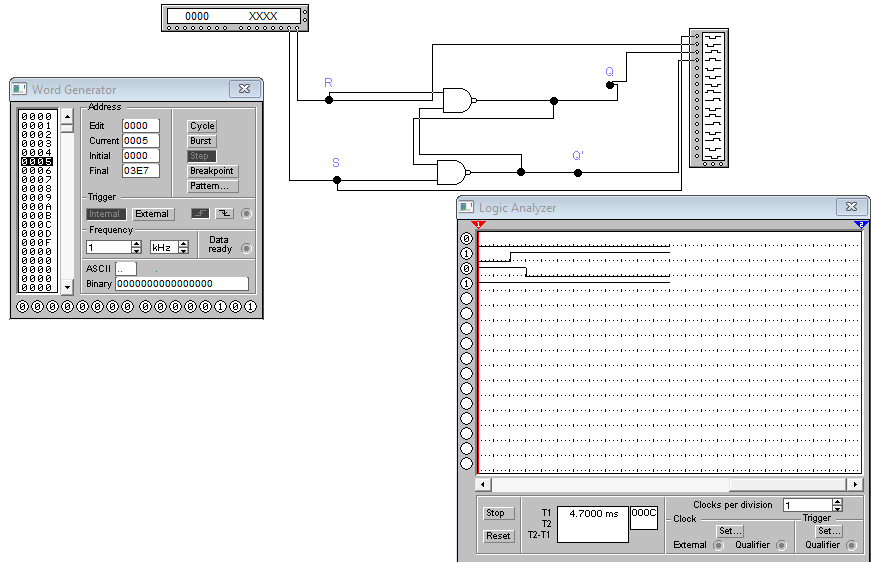
**Тема**: Побудова і дослідження елементів пам’яті на базі тригерних схем

**Мета роботи:** З використанням можливостей пакета EWB побудувати логічні схеми елементів пам’яті (RS-тригер, D-тригер, JK-тригер, Т-тригер). Перевірити роботу схем, скласти таблиці істинності та створити макроелементи кожної схеми.

**Хід роботи:**

Створити комбінаційні схеми тригерів: з роздільним встановленням(RS), із затримкою(D), універсальний(JK), та лічильний(T), за допомогою логічних елементів AND, NOT, OR.

**RS-тригер:**



Для цього використано

● 2-input NAND gates(2шт)

● Connector(6шт)

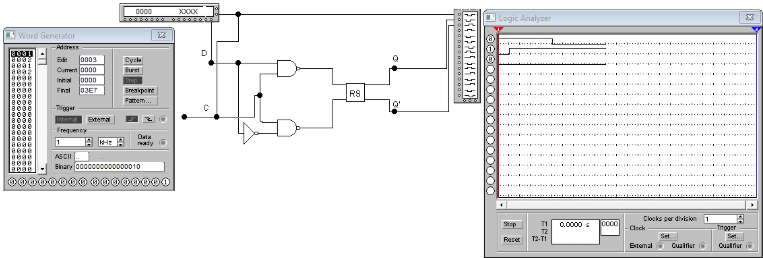
● Logic Analyzer(1шт)

● Word Generator(1шт)

За допомогою клавіші STEP генератора слів покроково перебрав усі комбінації вхідних сигналів. Результати:

|  |  |  |  |
| --- | --- | --- | --- |
| **R** | **S** | **Q** | **Q’** |
|  | 0 | Не змінює стан | 0 |
| 0 | 1 | 1 | 0 |
| 1 | 0 | 0 | 1 |
| 1 | 1 | Заборонений стан | 1 |

**D-тригер:**



Для цього використано

● 2-input NAND gates(2шт)

● NAND gate(1шт)

● Connector(8шт)

● RS- тригер(1шт)

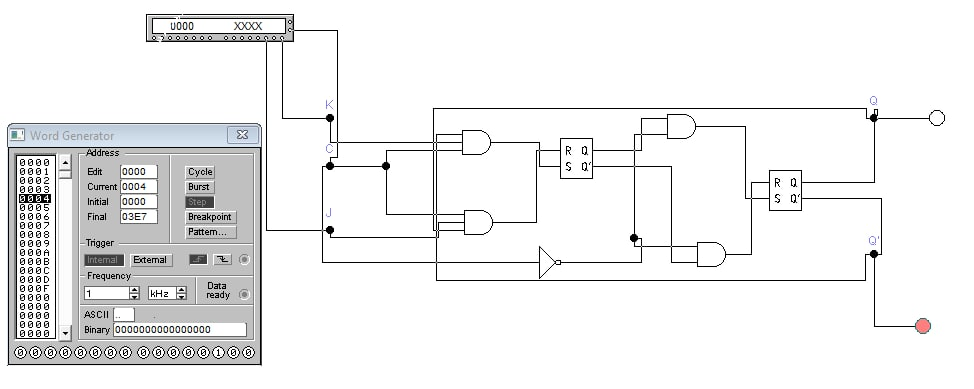
● Logic Analyzer(1шт)

● Word Generator(1шт)

За допомогою клавіші STEP генератора слів покроково перебрав усі комбінації вхідних сигналів. Результати:

|  |  |  |
| --- | --- | --- |
| **D** | **Q** | **Q’** |
| 1 | 1 | 0 |
| 0 | 0 | 1 |

**JK -тригер:**



Для цього використано

● 3-input AND gates(2шт)

● 2-input AND gates(2шт)

● NAND gate(1шт)

● Connector(7шт)

● RS- тригер(2шт)

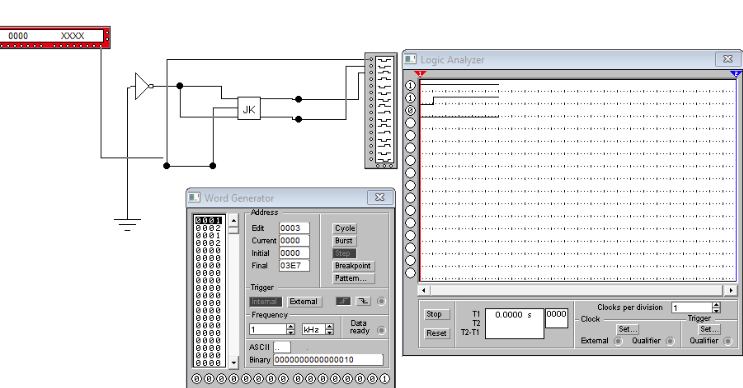
● Logic Analyzer(1шт)

● Word Generator(1шт)

За допомогою клавіші STEP генератора слів покроково перебрав усі комбінації вхідних сигналів. Результати:

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| **J** | **C** | **K** | **Q** | **Q’** |
| 0 | 0 | 0 | Без змін | Без змін |
| 0 | 0 | 1 | Без змін | Без змін |
| 0 | 1 | 0 | Без змін | Без змін |
| 0 | 1 | 1 | 0 | 1 |
| 1 | 0 | 0 | Без змін | Без змін |
| 1 | 0 | 1 | Без змін | Без змін |
| 1 | 1 | 0 | 1 | 0 |
| 1 | 1 | 1 | Зміна | Зміна |

**T – тригер:**



Для цього використано

● Ground(1шт)

● NAND gate(1шт)

● Connector(5шт)

● JK- тригер(1шт)

● Logic Analyzer(1шт)

● Word Generator(1шт)

За допомогою клавіші STEP генератора слів покроково перебрав усі комбінації вхідних сигналів. Результати:

|  |  |  |
| --- | --- | --- |
| **T** | **Q** | **Q’** |
| 0 | 0 | 0 |
| 0 | 1 | 1 |
| 1 | 0 | 1 |
| 1 | 1 | 0 |

**Висновок:** Виконуючи цю лабораторну роботу, я ознайомився з можливостями програмного симулятора Electronics Workbench для побудови RS, D, JK, T - тригерів. Склав таблицю істинності для даних тригерів, щоб перевірити правильність схем.